

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Hideaki MATSUHASHI :
Serial No. NEW : Attn: APPLICATION BRANCH
Filed June 23, 2003 : Attorney Docket No. 2003-0859A
SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 290989/2002, filed October 3, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hideaki MATSUHASHI
By 
Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/krl
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
June 23, 2003

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEE FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月 3日

出願番号

Application Number:

特願2002-290989

[ST.10/C]:

[JP2002-290989]

出願人

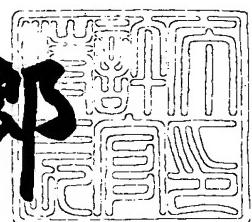
Applicant(s):

沖電気工業株式会社

2003年 5月 27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039735

【書類名】 特許願

【整理番号】 MA001399

【提出日】 平成14年10月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/87

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 松橋 秀明

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

特2002-290989

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半導体基板の上に配置された下層埋め込み酸化膜と、その上に配置された応力緩和膜と、その上に配置された上層埋め込み酸化膜と、その上に配置されたS O I膜とを有し、該S O I膜にソース、ドレイン及びチャンネルが形成されM O S F E Tを有し、上記応力緩和膜の熱膨張係数が上記上層埋め込み酸化膜の熱膨張係数より大きいことを特徴とする半導体装置。

【請求項2】 上記応力緩和膜がシリコン膜で形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記シリコン膜が、結晶膜、ポリクリスタル膜、又はアモルファス膜で形成されており、かつ、上記シリコン膜は、ノンドープシリコン膜であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 上記上層埋め込み酸化膜が上記S O I膜と略同じ膜厚であり、上記下層埋め込み酸化膜が上記上層埋め込み酸化膜よりも厚いことを特徴とする請求項1に記載の半導体装置。

【請求項5】 上記応力緩和膜が、第1のシリコン膜と、その上に配置されたゲルマニウム膜と、その上に配置された第2のシリコン膜とを積層した複合膜で形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】 上記複合膜の上記第1及び第2のシリコン膜が、結晶膜、ポリクリスタル膜、又はアモルファス膜で形成されており、かつ、上記シリコン膜は、ノンドープシリコン膜であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 上記複合膜の上記第1及び第2のシリコン膜が、上記複合膜の上記ゲルマニウム膜に比べて薄いことを特徴とする請求項5に記載の半導体装置。

【請求項8】 上記応力緩和膜の熱膨張係数がS O I膜の熱膨張係数と略等しい又はそれよりも大きいことを特徴とする請求項1に記載の半導体装置。

【請求項9】 絶縁層と、前記絶縁層上に設けられた半導体層と、前記半導

体層に形成された半導体素子とを有する半導体装置において、

前記絶縁層の前記半導体層と接する上面より離間した位置には、前記絶縁層の熱膨張係数よりも大きい熱膨張係数を有する応力緩和層が設けられ、

前記半導体層と前記応力緩和層とは、前記絶縁層の一部を介して配置されていることを特徴とする半導体装置。

【請求項10】 前記半導体層と前記応力緩和層との間に介在する前記絶縁層の膜厚は、前記半導体層の膜厚と略同一であることを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記応力緩和層の熱膨張係数は、前記半導体層の熱膨張係数と略同程度以上であることを特徴とする請求項9に記載の半導体装置。

【請求項12】 前記半導体層および前記応力緩和層は、同一材料にて形成されていることを特徴とする請求項11に記載の半導体装置。

【請求項13】 前記半導体層および前記応力緩和層は、シリコン膜により形成されていることを特徴とする請求項12に記載の半導体装置。

【請求項14】 前記シリコン膜は、ノンドープ単結晶シリコン膜、ノンドープ多結晶シリコン膜、又はノンドープアモルファスシリコン膜のいずれかであることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記応力緩和層は、ゲルマニウム膜を有する層であることを特徴とする請求項9に記載の半導体装置。

【請求項16】 前記応力緩和層は、前記ゲルマニウム膜と、前記ゲルマニウム膜上に設けられ、かつ、前記半導体層に接する第1のシリコン膜と、前記ゲルマニウム膜下に設けられる第2のシリコン膜とからなる複合膜により構成されていることを特徴とする請求項15に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、S O I (silicon on insulator) 構造のM O S F E T (金属-酸化物-半導体-電界効果トランジスタ) を備えた半導体装置に関する。

【0002】

【従来の技術】

従来のこの種の半導体装置の問題点が下記の文献に示されれている。

【0003】

【非特許文献1】

シー・アイ・ファニング他、「薄膜SOI素子においてLOCOSにより生じる応力効果」、アイ・トリプルイー電子デバイス・レター、第44巻第4号、1997年4月、第646～650頁(C.I.Huang他, "LOCOS-Induced Stress Effects on Thin-Film SOI Devices," IEEE ELECTRON DEVICE LETTERS, Vol. 44, No.4, April 1997, p.646-650)

【0004】

図6(a)及び(b)に従来のSOI構造のMOSFETを備えた半導体装置を示す。同図(a)は、部分空乏型(partially-depleted: PD)デバイスであり、同図(b)は、完全空乏型(fully-depleted: FD)デバイスである。図示のように、これらの半導体装置は、半導体基板21と、基板21上に形成された埋め込み酸化膜(BOX膜)22と、その上に形成されたSOI膜25とを有する。SOI膜25にMOSFETのソース・ドレイン31、及びチャンネル27が形成され、その上にゲート絶縁膜28が形成され、その上にゲート電極29が形成されている。ゲート電極29の両側には、サイドウォール30が形成されている。また、このようなMOSFETは、隣接する他の素子、例えば同様のMOSFETから、素子分離膜26により分離されている。

部分空乏型(partially-depleted: PD)デバイスと完全空乏型(fully-depleted: FD)デバイスの構造的な違いはSOI膜25の厚さ t_{SOI} であり、部分空乏型では通常100乃至200nm程度、完全空乏型では50nm以下の薄いSOI膜が使用される。

SOI(silicon on insulator) MOSFETはその構造的特徴から寄生容量が小さいこと、ラッチアップが起きないこと、ソフトエラー率が低いこと、素子分離が比較的容易であること等の長所を有しており、高速・低消費電力LSIへの適用可能性について大きな関心が向けられている。特に、図6(b)に示される完全空乏型SOIデバイスでは、ゲート下に形成される空乏層がSOI膜25

の下の埋込み酸化膜22まで到達するために、空乏層容量が小さくなり、サブスレッショルド係数（S値）がほぼ理想値まで小さくなる。このため、同一のオフリーカ電流とした場合に、しきい値電圧（V_{th}）を、バルク（Bulk）デバイスや部分空乏型SOIデバイス（図6（a））より小さくできるという利点がある。

【0005】

【発明が解決しようとする課題】

しかしながら、上記の非特許文献1において、NMOSFETの相互コンダクタンス（g_m）がバルクデバイスに比べSOIデバイスで小さくなるという結果が報告されている。この報告は、素子分離にLOCOS（local oxidation of silicon）法を用いた場合についてのものであり、その酸化膜が厚いほど相互コンダクタンスの低下が大きくなっている。逆に、PMOSFETにおいては酸化膜が厚いほど相互コンダクタンスが増大する。この原因として、素子分離領域の酸化膜（SiO₂膜）の体積膨張により、SOI膜に圧縮応力が加えられるためとしている。この応力による電流値の低減は最大40%近くにもなり、SOIデバイスのメリットが無くなるため、応力を低減することが重要となる。

【0006】

上記論文は、素子分離領域の応力の影響により相互コンダクタンスが低下するとの報告であるが、発明者らは、素子分離膜を非常に薄くして素子分離領域からの応力を十分に低減した場合にも、NMOSではバルクデバイスよりも電流が低減し、PMOSでは増大するという現象を観察している。この原因は、上記論文では影響が小さいとされているSiとSiO₂の熱膨張係数の違いによる応力の、キャリアー移動度への影響と考えている。

【0007】

積層膜において発生する応力について、図7に模式的に示した。熱膨張係数は、Siで $2.5 \times 10^{-6} / ^\circ\text{C}$ 、SiO₂で $5 \times 10^{-7} / ^\circ\text{C}$ であり、半導体装置の製造工程中に酸化シリコンが粘性となる温度（約1000°C）に加熱されると、その時にSiとSiO₂がフラットな状態になっており、そこから温度が下がる過程で熱膨張係数差によりSi膜の方がより大幅に収縮し、その結果図示のように下に凸に反るためにSi膜の上面側に圧縮応力が発生する。

この熱膨張係数の違いにより発生する応力は、S O I 膜厚とB O X膜厚の比（S O I 膜厚／B O X膜厚）が大きいほど大きくなる。このため、S O I 層が薄い完全空乏型S O I デバイスで影響が大きく出やすくなる。B O X膜を薄くすれば、熱膨張係数の違いにより発生する応力の影響は小さくなるが、S O I デバイスのメリットである寄生容量が低いこと、完全空乏型S O I デバイスにおけるS値が小さいことと言う利点がなくなる。

【0008】

そこで、本発明の目的は、B O X膜とS O I膜の熱膨張係数の違いにより発生する応力の影響を受け難く、寄生容量が低く、S値が小さいなどの良好な特性を有するS O I構造のM O S F E Tを備えた半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板の上に配置された下層埋め込み酸化膜と、その上に配置された応力緩和膜と、その上に配置された上層埋め込み酸化膜と、その上に配置されたS O I膜とを有し、該S O I膜にソース、ドレイン及びチャネルが形成されM O S F E Tを有し、上記応力緩和膜の熱膨張係数が上記上層埋め込み酸化膜の熱膨張係数より大きいことを特徴とする。

【0010】

応力緩和膜は、その熱膨張係数がS O I膜の熱膨張係数と略等しく又はそれよりも大きいことが望ましい。

応力緩和膜は、例えばシリコン膜で形成されていても良く、或いは、第1のシリコン膜と、その上に配置されたゲルマニウム膜と、その上に配置された第2のシリコン膜とを積層した複合膜で形成されていても良い。

【0011】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。

【0012】

第1の実施の形態

図1はこの発明の第1の実施例の、S O I (silicon on insulator)構造の電

界効果トランジスタ（MOSFET）を備えた半導体装置を示す概略断面図である。

【0013】

この半導体装置は、半導体基板21と、この基板21上に配置された下層埋込み酸化膜（BOX膜）42と、その上に配置された応力緩和膜43と、その上に配置された上層BOX膜44と、その上に配置されたSOI膜25とを有する。つまり、絶縁層である埋め込み酸化膜と、埋め込み酸化膜上に形成された半導体層であるSOI層25とを有し、SOI層25と接する埋め込み酸化膜の上面から所定の距離離間し、かつ、少なくともSOI層25に形成される半導体素子の形成予定領域下に存在する埋め込み酸化膜の一部を介して配置された応力緩和層43が設けられている。

【0014】

基板21は、高抵抗単結晶シリコンで形成されている。下層BOX膜42及び上層BOX膜44は、例えば酸化シリコン（ SiO_2 ）で形成されている。応力緩和膜43は、シリコン膜で形成されている。言換えると、応力緩和膜43はSOI膜25と同一の材料で構成されていると言うこともできる。このシリコン膜は、例えば、結晶膜、ポリクリスタル膜（多結晶膜）、又はアモルファス膜で形成されており、N型及びP型の不純物を略完全に含まない。即ち、ノンドープ膜である。

【0015】

SOI膜25には、MOSFETのソース・ドレイン31、及びチャンネル27が形成されている。チャンネル27の上にゲート絶縁膜28が配置され、その上にゲート電極29が配置されている。ゲート電極29の両側には、サイドウォール30が配置されている。

【0016】

このようなMOSFETは、隣接する他の素子、例えば同様のMOSFETから、素子分離膜26により分離されている。素子分離膜26は、例えば酸化シリコン（ SiO_2 ）で形成されており、STI (shallow trench isolation)法により形成されたものである。

【0017】

本実施の形態のSOIMOSFETは完全空乏型のものであり、SOI膜25は、膜厚が例えば約50nmである。SOI層25と応力緩和層43との間に介在する上層BOX膜44は、SOI膜25と略同じ膜厚であり、例えば約50nmであり、下層BOX膜42は、上層BOX膜44よりも例えば数倍程度厚く、例えば約150nmである。また、応力緩和膜43の膜厚は、下層BOX膜42の膜厚と同程度であり、例えば約150nmである。さらに、応力緩和層43は、上記したようにシリコン膜で形成されており、SOI膜25と同程度の熱膨張係数を有する。

【0018】

以上のように、本実施の形態の構造は、SOI層25の下のBOX膜（図6の22に相当する）が2層（42、44）に分けられ、中間にドーピングされていないシリコン（ノンドープシリコン）から成る応力緩和膜43が挿入されている点において、従来のSOI-MOSFETと異なる。

【0019】

上記のように、従来の構造では、BOX膜とSOI膜の熱膨張係数の違いによりSOI膜に応力が掛かるが、本実施の形態では、応力緩和膜43を設けることにより、図7に示すような下に凸となる反りを抑制ないし防止している。即ち、応力緩和膜43もSOI膜25と同程度の熱膨張係数を有し、酸化シリコンが粘性となる温度からの温度低下に伴いSOI膜25と同程度収縮するため、上層BOX44と応力緩和膜43のみであれば、上に凸に反る。本実施の形態のように、上層BOX膜44を挟んで上下にSOI膜25と応力緩和膜43が配置されている3層構造は、下に凸となるか上に凸となるかは、上側のSOI膜25と下側の応力緩和膜43の熱膨張係数、及び厚さによって決まる。上記したように、本実施の形態では、SOI膜25と応力緩和膜43の熱膨張係数は互いに略等しいので、厚さのみで決まる。本実施の形態のように、下側に位置する応力緩和膜43の方が厚いので、この3層構造は上に凸になろうとする。実際には、上記の3層のほかに、下層BOX膜42など他の層があり、また素子分離膜26の影響があるので、上記のように簡単ではないが、従来の構造に比べSOI膜とその下に

位置する厚いBOX膜とにより下に凸となる傾向を抑制し得ることは明らかである。このように、SOI膜25が下に凸に反る傾向を抑制する結果、応力によるSOI-MOSFETの特性低下を抑制することができる。

【0020】

そして、上記のように、SOI膜が下に反る傾向を抑制する効果を大きくするには、応力緩和膜43の熱膨張係数と、厚さを大きくすれば良い。

【0021】

このように、応力緩和膜43が厚い程、SOI膜25に掛かる応力が小さくなので、この点からは応力緩和膜43は厚ければ厚いほど良いが、一方、厚すぎると、後の工程（STI法による素子分離膜形成の際）におけるエッチングが困難となる。そこで、応力緩和膜43の膜厚は、下層BOX膜と同程度の膜厚とすることとしている。

【0022】

また、上層BOX膜44を薄くすることで、SOI膜25や応力緩和膜43に比べ上層BOX膜44の熱膨張係数が比較的小さいことによりSOI膜25や応力緩和膜43に掛かる応力を小さくしている。そして、この小さくなった応力をSOI膜25と応力緩和膜43とで分担しており、その分担割合は、より厚い応力緩和膜43の方が大きい。一方、下層BOX膜42は比較的厚いので、その熱膨張係数が比較的小さいことにより発生する応力は大きいが、その応力は大部分応力緩和膜43に掛かり、SOI膜25には殆ど掛からない。

【0023】

また、下層BOX膜42が存在することにより、ソース・ドレインの基板に対する寄生容量は上層BOX膜44の容量と下層BOX膜42の寄生容量の直列容量とすることができるので、上層BOX膜44と下層BOX膜42を合計した厚さのBOX膜が存在する場合と同等の寄生容量とすることが可能である。さらに、本実施形態における半導体装置によれば、MOSトランジスタ等の半導体素子が形成されるSOI層領域下の埋め込み酸化膜中の所望の位置に応力緩和層43を設けるようにしたので、SOI層への応力の影響を最小限に抑えつつ、応力緩和層43下の下層BOX層42の膜厚を十分に厚くすることも可能となる。つま

り、半導体基板21とSOI層25とを分離するBOX膜の総膜厚を厚くすることが可能となるため、結果として、半導体装置の寄生容量をさらに低くし、良好な特性を有するSOIデバイスを実現することが可能となる。

【0024】

さらに、応力緩和膜43をノンドープ膜とすることでゲート下の空乏層の延びがSOI膜25内で終端する（部分空乏型として動作する）ことが無くなるため、完全空乏型SOIデバイスとすることが可能となる。

【0025】

以上のことより、SOI-MOSFETのSOI層下のBOX中にドーピングされていないシリコン（ノンドープシリコン）層から成る応力緩和膜43を挿入することにより、寄生容量の増大が無く、応力を緩和した高駆動力のSOI-MOSFETを実現することが可能となる。

【0026】

以下、上記の半導体装置の製造方法を図2及び図3を参照して説明する。

先ず、半導体基板11を用意する（図2（a））。半導体基板11は、導電型が例えばp型である単結晶シリコンウエハである。次に、半導体基板11の表面に、エピタキシャル成長法により、pマイナス層からなるエピタキシャル成長層12を形成する（図2（b））。この場合、エピタキシャル成長層12の膜厚は例えば10μmとされる。

【0027】

次に、エピタキシャル成長層12の表面に、酸化処理を施して、酸化シリコン膜44を形成する（図2（c））。この酸化シリコン膜44は後に上層BOX膜44として利用されるものであり、膜厚は例えば約50nmとされる。エピタキシャル成長層12のうち、酸化されなかった部分25がシリコン層として残り、この部分が後にSOI膜25として利用される。

【0028】

次に、酸化シリコン膜44の表面にCVD法により、ノンドープ・ポリシリコン膜13を形成する（図2（d））。このポリシリコン膜13の厚さは例えば約230nmとされている。

【0029】

次に、ポリシリコン膜13の表面に酸化処理を施して、酸化シリコン膜42を形成する（図2（e））。この酸化シリコン膜42は後に下層BOX膜42として利用されるものであり、膜厚は例えば約150nmとされる。ポリシリコン膜13のうち、酸化されなかった部分（約150nm）43はポリシリコン層として残り、この部分が後に応力緩和膜43として利用される。

【0030】

これにより、SOI基板の素子形成用半導体基板（ボンド基板）10が形成される。

【0031】

上記のボンド基板とは別に、ベース用半導体基板21を用意する（図3（a））。

このベース用半導体基板21は、素子形成用半導体基板の半導体基板11と同様の導電型、例えばP型である単結晶シリコンウェハである。

【0032】

次に、ベース用半導体基板21の表面と、半導体基板11などから成るボンド基板10の酸化シリコン膜16の表面とを向かい合わせた状態で密着した後、熱処理（例えば1000°C程度）法を用いて、熱処理を行ない、それらを密着して貼り合わせる（図3（b））。

【0033】

その後、貼り合わされたボンド基板10の裏面（図3（b）で上側）から、半導体基板11を、研磨法を用いて研磨によって取り除き、さらに、エピタキシャル25を所望の厚さ（例えば約50nm）となるまで研磨する。これにより、SOI基板が完成する（図3（c））。

【0034】

次に、上記のようにして形成されたSOI基板のエピタキシャル成長層25の所定の領域に、STI法により、例えば酸化シリコン膜などからなる素子分離用絶縁膜26を形成する（図3（d））。このSTIにおいて形成されるトレンチは、応力緩和膜43に達するだけの（応力緩和膜43には達するが下層BOX膜

42には達しない) 深さであっても良く、図示のように下層BOX膜42にまで達する深さであっても良い。

【0035】

次に、エピタキシャル成長層25の表面上に、周知の方法で、ゲート絶縁膜28、ゲート電極29、サイドウォールス30を形成する。

【0036】

次に、エピタキシャル成長層25に、例えばリン(P)などのn型の不純物をイオン注入法を使用してイオン打込みした後、熱拡散装置を使用してn型の不純物を熱拡散して、NチャネルMOSFETのソースおよびドレインとなるn型半導体領域31を形成する(図1)。

【0037】

その後、SOI基板の上に、図示しない絶縁膜、プラグ、配線層などを形成する。これにより、半導体装置が完成する。

【0038】

以上説明したように、この実施の形態のSOI構造のMOSFETにおいては、比較的薄い上層BOX膜44の上にSOI膜25が形成され、その下に上層BOX膜44よりも熱膨張係数の大きい応力緩和膜43が配置されるため、SOI膜25が下に凸に反る傾向が抑制され、SOI膜25の上面側に掛かる応力(SOI膜を構成するシリコンとBOX膜を構成する酸化シリコンの熱膨張係数の違いにより発生する応力)が小さくなる。このため、応力に起因するNMOSFETでの移動度の低下を抑制することができ、高駆動力のSOI-MOSFETとすることが可能である。

【0039】

なお、上記の実施の形態では、応力緩和膜43は、ポリシリコンで形成されているが、アモルファスシリコンで形成しても良く、結晶シリコンで形成しても良い。(ポリシリコンとアモルファスシリコンとの間には大きな差はなく、アモルファスシリコンは熱処理過程でポリシリコンとなる。)

【0040】

上記の実施の形態では、応力緩和層43は、上記したようにシリコン膜で形成

されており、S O I 膜2 5と同程度の熱膨張係数を有するが、応力緩和膜4 3の熱膨張係数がS O I 膜2 5の熱膨張係数よりも大きければ一層良い。上層B O X 膜4 4の熱膨張係数が比較的低いためにS O I 膜2 5が下に凸に反る傾向を抑制する上で、その方が一層効果的であるからである。

【0041】

第2の実施の形態

図4はこの発明の第2の実施例を示すS O I -M O S F E Tの構造を示す概略断面図である。

【0042】

この実施の形態の構成は、第1の実施の形態と概して同じであるが、応力緩和膜として、第1の実施の形態のポリシリコン膜4 3の代わりに、ドーピングされていないシリコン(S i)膜／ゲルマニウム(G e)膜／シリコン(S i)膜の複合膜(積層膜)5 3が用いられている。即ち、この複合膜5 3は、下層シリコン膜6 1と、その上に配置されたゲルマニウム膜6 2と、その上に配置された上層シリコン膜6 3とから成る。ゲルマニウム膜6 2は、上層シリコン膜6 3及び下層シリコン膜6 1の各々よりも厚い。下層シリコン膜6 1の膜厚は例えば約20 nm、ゲルマニウム膜6 2の膜厚は例えば約100 nm、上層シリコン膜6 3の膜厚は例えば約20 nmである。複合膜の総厚さは、約140 nmであり、下層B O X 膜4 2の膜厚(約150 nm)と略等しい。

【0043】

上層及び下層シリコン膜6 1、6 3は、結晶膜、ポリクリスタル膜、又はアモルファス膜で形成されており、N型及びP型の不純物を略完全に含まない。また、上層及び下層シリコン膜6 1、6 3が、ゲルマニウム膜6 2に比べて薄い。S O I 層の応力を緩和させる膜としてゲルマニウム膜6 2を用いる本第2の実施の形態の場合、ゲルマニウム膜の単層により埋め込み酸化膜中に設ける応力緩和層5 3を構成することも可能であるが、ゲルマニウム膜6 2上下にシリコン膜6 1、6 3を設けた複合層とすれば、例えばシリコン酸化膜より形成された埋め込み酸化膜との密着性を向上させ、かつ、埋め込み酸化膜4 2、4 4とゲルマニウム膜6 2との界面に発生する界面電位を下げることが可能となり望ましい。

【0044】

第2の実施の形態の半導体装置の製造方法は、第1の実施の形態の半導体装置の製造方法と略同じであるが、応力緩和膜53の製造工程が異なる。

【0045】

以下、図5を参照して第2の実施の形態の半導体装置の製造方法を説明する。と略同様に製造することができる。まず、第1の実施の形態について図2(a)乃至図2(c)を参照して説明したのと同様、基板11の上にエピタキシャル成長層25が配置され、その上に酸化シリコン膜44が配置された積層構造(図2(c))を得る。

【0046】

次に、酸化シリコン膜44の上に、CVD法により、まずポリシリコン膜63を形成し、その上にゲルマニウム膜62を形成する(図5(a))。本実施の形態では、応力緩和層53を構成するゲルマニウム膜62の膜厚をできる限り厚くすると、SOI層25への応力の影響を抑えることが可能となり望ましい。これは、SOI層25を構成するシリコン膜に比べて高い熱膨張係数を有するゲルマニウム膜の膜厚を厚くすることで、より多くの応力が応力緩和層53のゲルマニウム膜62に掛かり、SOI層25に加えられる応力を緩和することができるようになるためである。ここで、ポリシリコン膜63の膜厚は、例えば約20nmとされ、ゲルマニウム膜62の膜厚は例えば約100nmとされる。

【0047】

次に、CVD法により、ゲルマニウム膜62の上にポリシリコン膜55を形成する(図5(b))。ここで、ポリシリコン膜55の膜厚は例えば約170nmとされる。

【0048】

次に、ポリシリコン膜55を酸化処理して、下層BOX膜42となる酸化シリコン膜を形成する(図5(c))。酸化シリコン膜42は、後に下層BOX膜42として利用されるものであり、その膜厚は例えば約150nmとされる。ポリシリコン膜55のうち、酸化されなかった部分61は後に下層ポリシリコン膜61として利用されるものであり、その膜厚は例えば約20nmとされる。

【0049】

このようにして形成したボンド基板10'を、第1の実施の形態について図3(b)以降を参照して説明したのと同様に、ベース基板21と貼り合わせて、SOI基板を形成し、さらに第1の実施の形態と同様にしてMOSFETなどの素子を形成することで半導体装置を完成させる。

【0050】

ゲルマニウムの熱膨張係数は $5.8 \times 10^{-6}/^{\circ}\text{C}$ であり、シリコンよりも大きい。従って、SOI膜25を下に凸に反らせようとする傾向を一層小さくすることができ、SOI膜25に掛かる応力が一層小さくなる。このため、応力に起因するNMOSFETでのキャリアの移動度の低下を一層抑制することができ、高駆動力のSOI-MOSFETを得ることができる。

【0051】

【発明の効果】

以上のように、本発明によれば、SOI膜とBOX膜の熱膨張係数の差によって、SOI膜が下に凸に反る傾向を抑制することができ、従って、BOX膜とSOI膜の熱膨張係数の違いにより発生する応力の影響を受け難く、寄生容量が低く、S値が小さいなどの良好な特性を有するSOI構造のMOSFETを備えた半導体装置を得ることができる。

【0052】

また、応力緩和膜の熱膨張係数がSOI膜の熱膨張係数と略等しい又はそれよりも大きい場合には、上層BOX膜の熱膨張係数が比較的小さいことの影響を、一層小さくすることができる。即ち、上層BOX膜の熱膨張係数が比較的小さいことにより、SOI膜が下に凸に反る傾向を一層抑制することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の半導体装置を示す断面図である。

【図2】 第1の実施の形態の半導体装置の製造方法の各工程を示す図である。

【図3】 第1の実施の形態の半導体装置の製造方法の各工程を示す図である。

【図4】 本発明の第2の実施の形態の半導体装置を示す断面図である。

【図5】 第2の実施の形態の半導体装置の製造方法の各工程を示す図である。

【図6】 従来の半導体装置を示す断面図である。

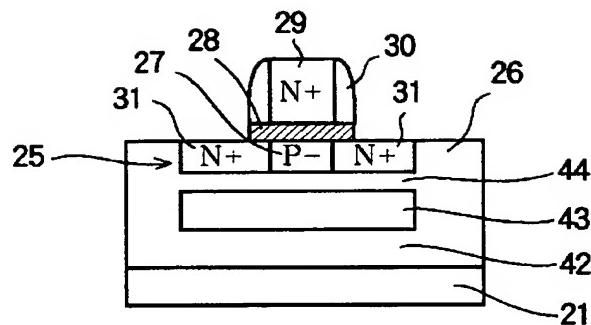
【図7】 従来の半導体装置の問題点を示す図である。

【符号の説明】

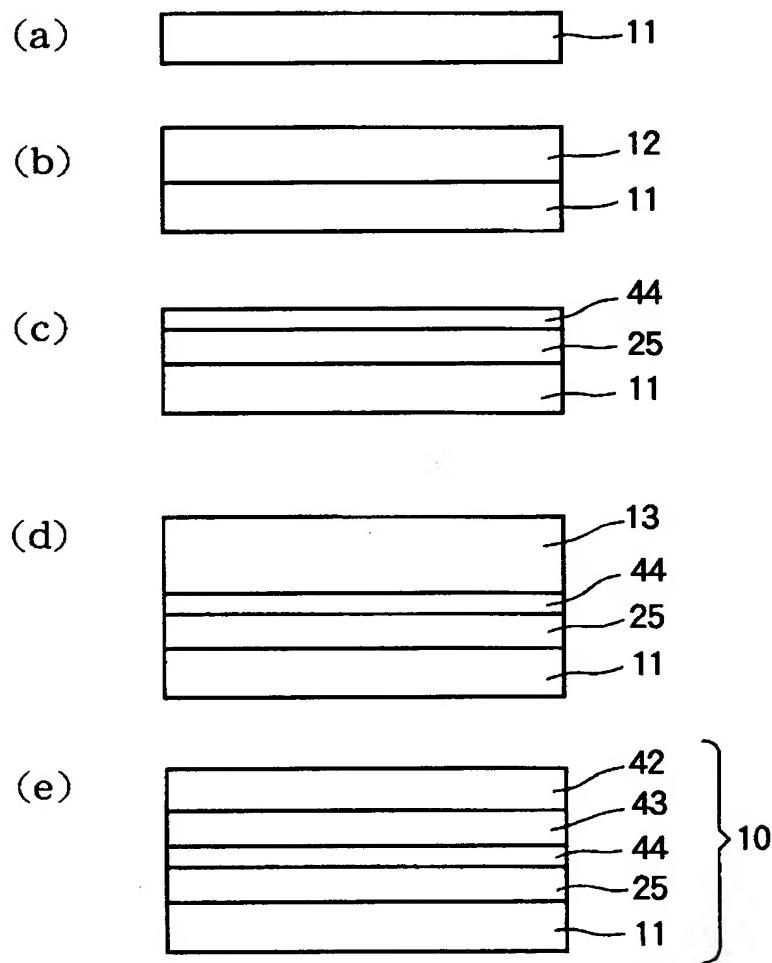
21 基板、 25 S O I 膜、 42 下層B O X膜、 43 応力緩和膜
、 44 上層B O X膜、 53 応力緩和膜、 61 シリコン膜、 62
ゲルマニウム膜、 63 シリコン膜。

【書類名】 図面

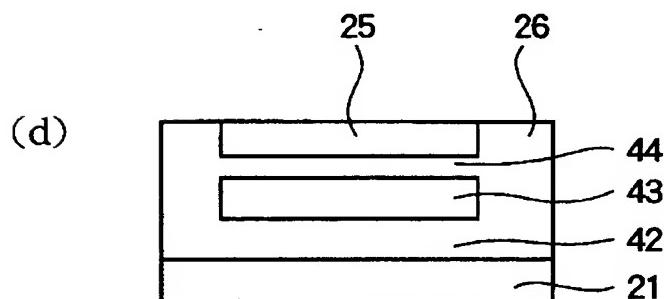
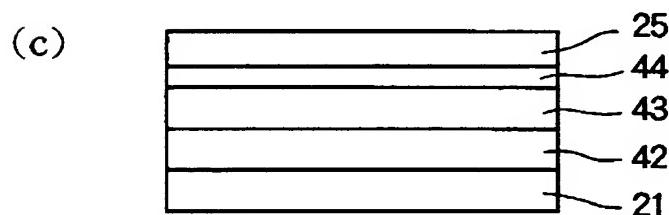
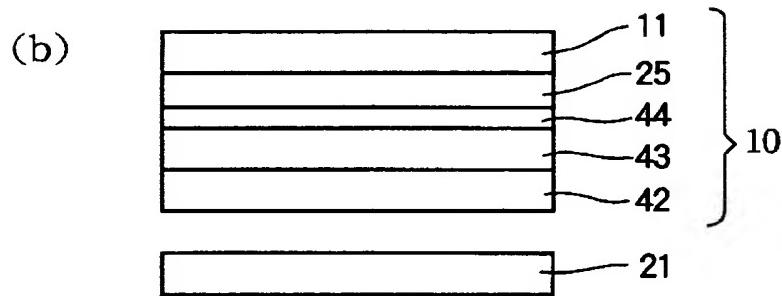
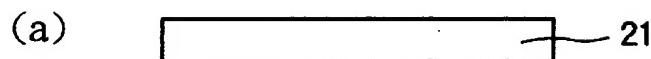
【図1】



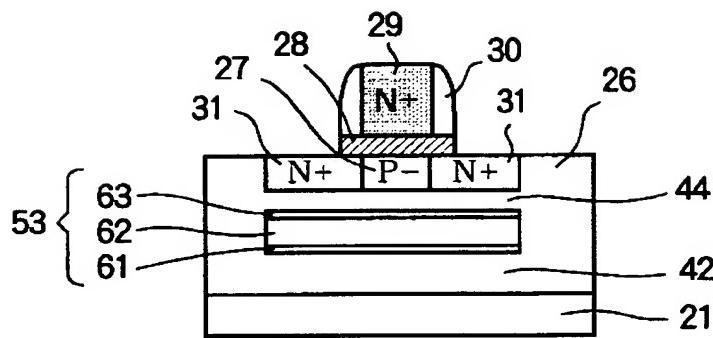
【図2】



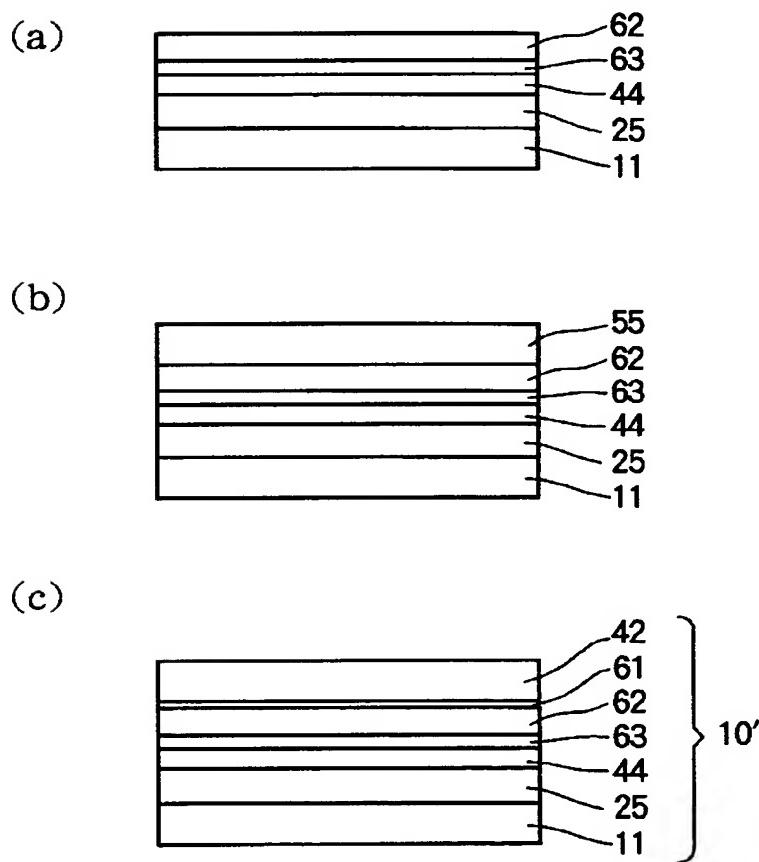
【図3】



【図4】

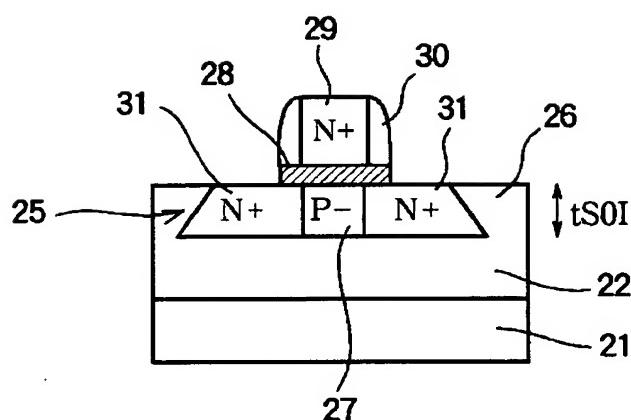


【図5】

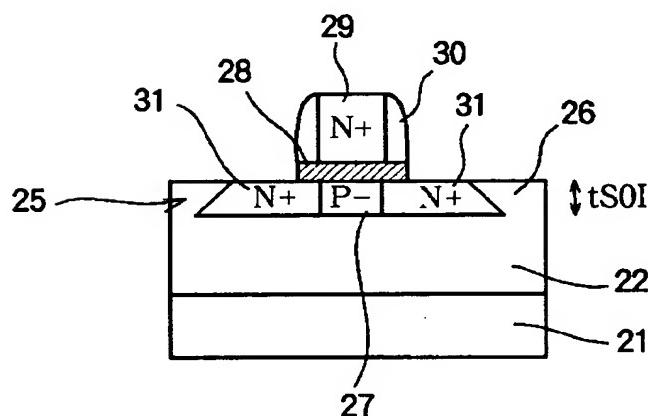


【図6】

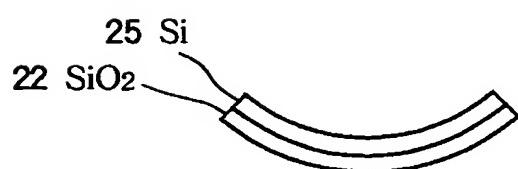
(a)



(b)



【図7】



【書類名】 要約書

【要約】

【課題】 S O I - M O S F E T を備えた半導体装置において、寄生容量が低く、S 値が小さいなどの良好な特性を失うことなく、埋め込み酸化膜と S O I 膜の熱膨張係数の違いにより発生する応力の影響を受け難くする。

【解決手段】 半導体基板（2 1）の上に、下層埋め込み酸化膜（4 2）、応力緩和膜（4 3、5 3）、上層埋め込み酸化膜（4 4）、S O I 膜（2 5）の順に形成され、応力緩和膜（4 3）の熱膨張係数が上層埋め込み酸化膜（4 4）の熱膨張係数より大きい。応力緩和膜（4 3、5 3）は、その熱膨張係数が S O I 膜の熱膨張係数と略等しく又はそれよりも大きいことが望ましく、例えばシリコン膜（4 3）、或いは、シリコン膜と、その上に配置されたゲルマニウム膜と、その上に配置されたシリコン膜とを積層した複合膜（5 3）で形成される。

【選択図】 図 1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社